

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-018020
 (43)Date of publication of application : 19.01.1996

(51) Int. Cl. H01L 27/118
 H01L 21/8238
 H01L 27/092
 H03K 19/0948

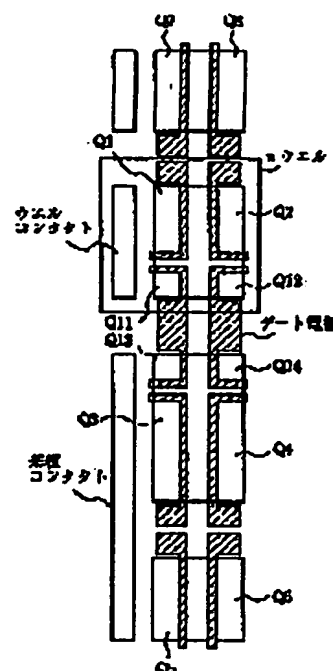
(21)Application number : 06-144224 (71)Applicant : NEC IC MICROCOMPUT SYST LTD
 (22)Date of filing : 27.06.1994 (72)Inventor : KATO HIROYUKI
 ITOU TAKAHARU

(54) SEMICONDUCTOR INTEGRATED CIRCUIT

(57) Abstract:

PURPOSE: To constitute plural kinds of transistors with different gains on the same diffusion layer without enlarging an area of an MOS type transistor and to easily vary a gain according to respective purposes through wiring steps.

CONSTITUTION: In a basic cell formed of MOS type transistors, P-ch MOS transistors Q1 to Q4 and N-ch MOS transistors Q1 to Q22 are separately provided minutely in their drain areas and source areas by a gate electrode extending in multi-directions, that is, more than three directions on a diffusion layer. The wiring for source and drain of a transistor is changed so as to obtain different gains respectively.



LEGAL STATUS

[Date of request for examination] 27.06.1994
 [Date of sending the examiner's decision of rejection]
 [Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
 [Date of final disposal for application]
 [Patent number] 2747223

[Date of registration] 13. 02. 1998

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998, 2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平8-18020

(43)公開日 平成8年(1996)1月19日

(51)Int.Cl.⁹

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 27/118

21/8238

27/092

H 0 1 L 21/ 82

M

27/ 08

3 2 1 K

審査請求 有 請求項の数3 O L (全 15 頁) 最終頁に続く

(21)出願番号 特願平6-144224

(22)出願日 平成6年(1994)6月27日

(71)出願人 000232036

日本電気アイシーマイコンシステム株式会
社

神奈川県川崎市中原区小杉町1丁目403番
53

(72)発明者 加藤 浩之

神奈川県川崎市中原区小杉町一丁目403番
53 日本電気アイシーマイコンシステム株
式会社内

(72)発明者 伊藤 貴治

神奈川県川崎市中原区小杉町一丁目403番
53 日本電気アイシーマイコンシステム株
式会社内

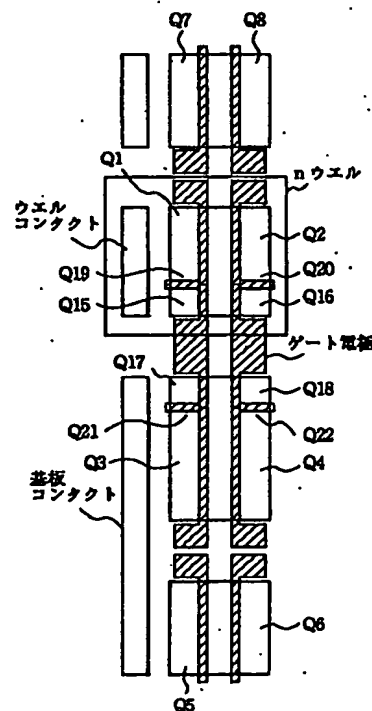
(74)代理人 弁理士 京本 直樹 (外2名)

(54)【発明の名称】 半導体集積回路

(57)【要約】

【目的】MOS型トランジスタの面積を拡大することなく、同一拡散層上に利得の異なる複数種のトランジスタを構成し、目的に応じた利得を配線工程で容易に変出出来る半導体集積回路を提供する。

【構成】MOS型トランジスタにより構成される基本セルにおいて、P-c hMOSトランジスタ(Q1~Q4)およびN-c hMOSトランジスタ(Q15~Q22)は、拡散層上を3方向以上の以上多方向にのびるゲート電極により、ドレイン領域とソース領域が分離細分化される。トランジスタのソースとドレインの結線を変えることにより、それぞれ異なった利得を得ることができる。



【特許請求の範囲】

【請求項1】 相補型絶縁効果トランジスタ素子の複数個を所定の配線接続をして所望の論理動作をする基本セルおよび前記基本セルを複数個含む所望の論理機能動作をするブロックセルならびに前記基本セルおよび前記ブロックセルのそれぞれの出力信号を受け外部信号として出力するまたは外部信号を受け前記基本セルおよび前記ブロックセルのそれぞれへ信号伝達する入出力回路セルのそれぞれを半導体基板の一主表面上に配列して成るゲートアレー構成の半導体集積回路において、前記基本セルは、L字形のゲートチャネル領域を境としてドレイン領域とソース領域とを有する絶縁効果トランジスタを含むことを特徴とする半導体集積回路。

【請求項2】 相補型絶縁効果トランジスタ素子の複数個を所定の配線接続をして所望の論理動作をする基本セルおよび前記基本セルを複数個含む所望の論理機能動作をするブロックセルならびに前記基本セルおよび前記ブロックセルのそれぞれの出力信号を受け外部信号として出力するまたは外部信号を受け前記基本セルおよび前記ブロックセルのそれぞれへ信号伝達する入出力回路セルのそれぞれを半導体基板の一主表面上に配列して成るゲートアレー構成の半導体集積回路において、前記基本セルは、L字形曲線状のゲートチャネル領域を境としてドレイン領域とソース領域とを有する絶縁効果トランジスタを含むことを特徴とする半導体集積回路。

【請求項3】 相補型絶縁効果トランジスタ素子の複数個を所定の配線接続をして所望の論理動作をする基本セルおよび前記基本セルを複数個含む所望の論理機能動作をするブロックセルならびに前記基本セルおよび前記ブロックセルのそれぞれの出力信号を受け外部信号として出力するまたは外部信号を受け前記基本セルおよび前記ブロックセルのそれぞれへ信号伝達する入出力回路セルのそれぞれを半導体基板の一主表面上に配列して成るゲートアレー構成の半導体集積回路において、前記基本セルは、少なくとも3方向以上の多方向にのびるゲート電極により形成されるチャネル領域を境としてドレイン領域とソース領域とを有する絶縁効果トランジスタを含むことを特徴とする半導体集積回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はゲートアレー構成の半導体集積回路に関し、特にゲートアレーを構成する基本セルのトランジスタの形状に係る半導体集積回路に関する。

【0002】

【従来の技術】 従来のこの種の半導体集積回路をゲートアレーに適用した一例を説明する。

【0003】 ゲートアレーとは、NAND、NOR等の基本論理、回路が構成可能なトランジスタ数で構成された単位を基本セルとして、この基本セルをLSIチップ

上にアレイ状に配置したもの（マスタ）を予め作成しておき、上層の配線パターンを作成することだけでユーザーの希望するLSIチップを短納期作成できる集積回路を言う。

【0004】 一般に、MOSトランジスタの動作スピードを向上させるため、MOSトランジスタのチャネル長はそのプロセスの最小値に固定し、利得を変化させる場合は、チャネル幅を変える方法をとっている。

【0005】 また、ゲートアレーは、アレイ状に配置された基本セル面積により集積度が決定するため、集積度向上のためには基本セル面積を如何に小さくできるかが重要な鍵となる。

【0006】 一般にゲートアレーは、通常は論理LSIの実現手段として用いられる。しかし、集積度の向上にともない、論理LSIにメモリを搭載したいというユーザーの要求が高まり、1つの基本セル構成で1ビットのメモリセルを実現できるように基本セル構成がもちいられるようになった。このような第1の従来の基本セルの構成例を図15に、その等価回路を図16に示す。

【0007】 図15および図16のそれぞれを参照すると、第1の従来のゲートアレーの基本セルはP-ch MOSトランジスタQ1およびQ2と、N-ch MOSトランジスタ(Q3~Q8)とを有し、論理ゲートはトランジスタ(Q1~Q4)を用いて構成されている。

【0008】 2入力NAND回路を実現する場合の結線例を図17、その等価回路を図18に示す。

【0009】 図17において、黒丸印はMOSトランジスタのソースまたはドレインまたはゲート電極へのコンタクト孔を、実線は第1層目配線を、VDDはハイレベル電源を、VNDはロウレベル電源を、H01、H02はNANDゲートの入力端子を、N01はNANDゲートの出力端子を示す。

【0010】 図15に示した第1の従来のゲートアレーの基本セルを使用して1ビットのシングルポートメモリセルを構成した例の結線関係と等価回路それぞれを図19、図20に示す。図19において点線は第2層目配線を表す。

【0011】 このビットのシングルポートメモリセルは、情報を記憶するフリップフロップを構成するトランジスタ(Q1~Q4)と、各ポートに対応つけられたセル選択スイッチを構成するトランジスタ(Q5~Q8)と、ワード線WL1と、ビット線対BL1、反転BL1とを有する構成である。

【0012】 次に、このシングルポートメモリのメモリセルの動作原理を図20を参照して説明する。

【0013】 まず、このシングルポートメモリの書き込み動作を説明する。今1ビット線BL1にハイレベルの信号、ビット線反転BL1にロウレベルの信号が与えられ、ワード線WL1にハイレベルの信号を与えトランジスタQ6およびQ8をONさせ、それぞれの信号をトラ

3

ンジスタ(Q1~Q4)で構成されたフリップフロップに伝搬させる。

【0014】すると、トランジスタQ2およびQ4で構成されるインバータにハイレベルの信号が、トランジスタQ1およびQ3で構成されるインバータにロウレベルの信号がそれぞれ入力される。そしてそれぞれのインバータは入力の反転信号を出力し、その反転信号が再びそれぞれのインバータの入力信号となるため、フリップフロップは信号を保持した状態になる。

【0015】また逆に、ビット線BL1にロウレベルの信号、ビット線反転BL1にハイレベルの信号が供給された場合は、トランジスタQ2とQ4とで構成されるインバータにロウレベルの信号が、トランジスタQ1とQ3とで構成されるインバータにハイレベルの信号がそれぞれ入力され、フリップフロップは信号を保持した状態になる。

【0016】次に、このシングルポートメモリの読み出し動作を説明する。

【0017】今ここで、トランジスタQ1とQ3とで構成されるインバータの出力がハイレベルの信号、トランジスタQ2とQ4とで構成されるインバータの出力がロウレベルの信号でフリップフロップは信号を保持した状態になるとする。ワード線WL1にハイレベルの信号を与えトランジスタQ6とQ8とをONさせることにより、ビット線BL1にハイレベルの信号を、ビット線反転BL1にロウレベルの信号をそれぞれ伝搬させ読み出す。

【0018】トランジスタ(Q1~Q4)の回路定数は論理ゲートを構成した場合に十分な速度性能を実現できるように基本セル設計がなされている。CMOS回路では論理ゲートの出力の立ち上がり遅延時間と立ち下がり遅延時間は同等であるのが望ましいとされている。そのため、P-chMOSトランジスタQ1およびQ2のそれぞれのチャネル幅は、N-chMOSトランジスタQ3およびQ4のそれぞれのチャネル幅と同等か、若干大きめに設定される。

【0019】一方、選択スイッチにN-chMOSトランジスタを用いたメモリセルの場合、メモリ動作の主役を担うのはN-chMOSトランジスタであり、P-chMOSトランジスタQ1およびQ2は情報の保持特性を改善するために用いられる。P-chMOSトランジスタQ1およびQ2のチャネル幅、すなわち利得は、メモリセルの書き込み特性に影響を与え、チャネル幅が大きすぎると書き込みが難しくなる。従来のシングルポートメモリセルは、セル選択スイッチに用いるMOSトランジスタQ5乃至トランジスタQ8のチャネル幅を大きく設定することにより、上記の問題に対処してきた。

【0020】しかし、MOSトランジスタのチャネル幅を大きく設定することは、基本セルサイズが大きくなること、メモリを構成した場合には微小信号動作をするビ

4

ット線の寄生容量が大きくなり、十分な速度性能が得られない等の問題があった。

【0021】また、一般に昇圧回路をいれる方法もあるが、(1)昇圧回路を構成するための領域が必要であり、(2)基本セルのトランジスタとは異なる特別なトランジスタを設計する必要があるので、ゲートアレイの場合にはその集積度の点で不利となる。

【0022】上記の問題点を解決するために、特開平4-99064号公報に、1セルで1ビットのメモリセルを実現できる第2の従来技術のゲートアレイ基本セル構成が開示されている。このような第2の従来基本セルの構成例を図21に、その等価回路を図22に示す。

【0023】この基本セルは、論理ゲートを構成する場合およびメモリセルを構成する場合、メモリセル選択スイッチ構成用のMOSトランジスタと導電型が異なるMOSトランジスタの利得を可変できるように、前記MOSトランジスタを2組で構成している。

【0024】図21を参照すると、基本セルは、P-chMOSトランジスタQ1、Q2、Q9およびQ10と、N-chMOSトランジスタ(Q3~Q8)とを有する構成である。論理ゲートはトランジスタ(Q1~Q4)を用いて構成され、P-chMOSトランジスタQ9およびQ10はN-chMOSトランジスタQ3およびQ4と対でフリップフロップを構成することを前提に利得を決定してある。また図21の等価回路を図22に示す。

【0025】図21に示した基本セルを用いてシングルポートのメモリセルを構成した例について、結線関係と等価回路をそれぞれ図23、図24に示す。図23、図24において、VDDはハイレベル電源を、GNDはロウレベル電源を、WL1はワード線、BL1、反転BL1はビット線対を示す。

【0026】シングルポートのメモリセルのフリップフロップをトランジスタQ3、Q4、Q9およびQ10のそれぞれで構成し、セル選択トランジスタをトランジスタ(Q5~Q8)で構成する。トランジスタQ1およびQ2は使用しない。P-chMOSトランジスタQ9およびQ10のそれぞれのチャネル幅はメモリセルを構成するように設計されているので動作マージンを確保しやすくなっている。

【0027】上記の第2の従来技術により、メモリの速度性能と動作マージンは改善された。

【0028】

【発明が解決しようとする課題】しかしながら、第2の従来技術の基本セル構成を示す図21を参照すると、この従来の半導体集積回路は、1基本セル内で利得(ゲート幅)の異なる複数種のトランジスタを構成するために、追加の拡散領域を必要とし、同じプロセスを用いた場合基本セルのチップ占有面積が大きくなり、集積回路全体のチップ占有面積(チップサイズ)が拡大して結果

的に集積度が著しく低下するという欠点があった。

【0029】したがって本発明の目的は、上述した問題点に鑑み、MOSトランジスタの面積ならびにゲートアレイの基本セル面積を拡大することなく、トランジスタの利得を可変出来る半導体集積回路を提供することにある。

【0030】すなわち、MOS型トランジスタのチャンネル領域を、ゲート電極によりL字形もしくは曲線形状にする、またはチャンネル領域をゲート電極により少なくとも3方向以上の多方向にのびる形状にすることで、トランジスタのドレイン領域とソース領域を分離細分化できる半導体集積回路を提供することにある。

【0031】

【課題を解決するための手段】本発明の半導体集積回路は、相補型絶縁効果トランジスタ素子の複数個を所定の配線接続をして所望の論理動作をする基本セルおよび前記基本セルを複数個含む所望の論理機能動作をするブロックセルならびに前記基本セルおよび前記ブロックセルのそれぞれの出力信号を受け外部信号として出力するまたは外部信号を受け前記基本セルおよび前記ブロックセルのそれぞれへ信号伝達する入出力回路セルのそれぞれを半導体基板の一主表面上に配列して成るゲートアレイ構成の半導体集積回路において、前記基本セルは、L字形のゲートチャンネル領域を境としてドレイン領域とソース領域とを有する絶縁効果トランジスタを含む構成である。

【0032】また、本発明の他の半導体集積回路は、相補型絶縁効果トランジスタ素子の複数個を所定の配線接続をして所望の論理動作をする基本セルおよび前記基本セルを複数個含む所望の論理機能動作をするブロックセルならびに前記基本セルおよび前記ブロックセルのそれぞれの出力信号を受け外部信号として出力するまたは外部信号を受け前記基本セルおよび前記ブロックセルのそれぞれへ信号伝達する入出力回路セルのそれぞれを半導体基板の一主表面上に配列して成るゲートアレイ構成の半導体集積回路において、前記基本セルは、L字形曲線状のゲートチャンネル領域を境としてドレイン領域とソース領域とを有する絶縁効果トランジスタを含む構成である。

【0033】さらに、本発明の半導体集積回路は、相補型絶縁効果トランジスタ素子の複数個を所定の配線接続をして所望の論理動作をする基本セルおよび前記基本セルを複数個含む所望の論理機能動作をするブロックセルならびに前記基本セルおよび前記ブロックセルのそれぞれの出力信号を受け外部信号として出力するまたは外部信号を受け前記基本セルおよび前記ブロックセルのそれぞれへ信号伝達する入出力回路セルのそれぞれを半導体基板の一主表面上に配列して成るゲートアレイ構成の半導体集積回路において、前記基本セルは、少なくとも3方向以上の多方向にのびるゲート電極により形成される

チャンネル領域を境としてドレイン領域とソース領域とを有する絶縁効果トランジスタを含む構成である。

【0034】

【実施例】次に、本発明の第1の実施例の半導体集積回路を図面を参照して説明する。以下、ゲートアレイを例にとって説明する。

【0035】図1は本発明の第1の実施例の半導体集積回路のゲートアレイの基本セルを示す。

【0036】図1を参照すると、この基本セルは、L型形状のゲート電極で構成されたP-chMOSトランジスタQ1、Q2、Q11およびQ12を有し、1拡散層上で利得の異なるトランジスタQ1およびQ2と、トランジスタQ11およびQ12とを実現している。さらに、N-chMOSトランジスタQ3～Q8、Q13およびQ14を有し、そのうちのトランジスタ(Q3、Q4、Q13、Q14)はL型形状のゲート電極で構成され、1拡散層上で利得の異なるトランジスタQ3、Q4と、トランジスタQ13、Q14を実現している。

【0037】論理ゲートはトランジスタ(Q1～Q4、Q11～Q14)を用いて構成され、P-chMOSトランジスタ(Q11、Q12)はN-chMOSトランジスタ(Q3、Q4、Q13、Q14)と対でフリップフロップを構成することを前提にMOSトランジスタのチャンネル幅が決定されている。また図1に示す基本セルの等価回路を図2に示す。

【0038】図1に示した基本セルを用いてシングルポートRAMのメモリセルを構成した例について、結線関係と等価回路のそれぞれを図3および図4に示す。図3および図4のそれぞれにおいて、VDDはハイレベル電源、GNDはロウレベル電源、WL1はワード線、BL1、反転BL1はビット線対を示す。

【0039】シングルポートRAMのメモリセルは、メモリセルを構成するフリップフロップのP-chMOSトランジスタをトランジスタQ11およびQ12で構成し、N-chMOSトランジスタをトランジスタQ3とQ13とを並列に接続し、トランジスタQ4とQ14とを並列に接続して構成する。またメモリセルのセル選択トランジスタを、トランジスタQ6およびQ8で構成する。

【0040】この時、トランジスタQ1およびQ2はこれらのソースとドレインを短絡しておき、トランジスタQ5およびQ7は、シングルポートRAMのメモリセルを構成する場合使用しない。トランジスタ(Q3、Q4、Q11～Q14)は情報を記憶するフリップフロップで、トランジスタQ3とQ11とQ13およびトランジスタQ4とQ12とQ14はそれぞれインバータを構成している。

【0041】P-chMOSトランジスタQ11およびQ12のそれぞれのチャンネル幅は、メモリセルを構成するように決められているので動作マージンを確保しやす

7

くなっている。また、P-chMOSトランジスタのチャネル幅を小さくしたことにより、メモリセル選択スイッチ用トランジスタ(Q5~Q8)のチャネル幅を小さくできるので、ビット線の寄生容量を抑えることが可能であり、高速動作が期待できる。

【0042】次に、このシングルポートメモリのメモリセルの動作原理を図4を参照して説明する。

【0043】まず、このシングルポートメモリのメモリセルの書き込み動作を説明する。図4を参照すると、ビット線BL1にハイレベルの信号、ビット線反転BL1にロウレベルの信号が供給された状態でワードWL1にハイレベルの信号を与えトランジスタQ6およびQ8をONさせ、ビット線のそれぞれの信号をフリップフロップに伝搬させる。

【0044】すると、トランジスタQ4とQ12とQ14とで構成されるインバータにハイレベルの信号が、トランジスタQ3とQ11とQ13とで構成されるインバータにロウレベルの信号がそれぞれ入力される。そしてそれぞれのインバータは入力の反転信号を出力し、その反転信号が再びそれぞれのインバータの入力信号となるため、フリップフロップは信号を保持した状態になる。

【0045】また逆にビット線BL1にロウレベルの信号、ビット線反転BL1にハイレベルの信号が供給された場合は、トランジスタQ4とQ12とQ14とで構成されるインバータにロウレベルの信号が、トランジスタQ3とQ11とQ13とで構成されるインバータにハイレベルの信号がそれぞれ入力され、フリップフロップは信号を保持した状態になる。

【0046】次に、このシングルポートメモリのメモリセルの読み出し動作を説明する。今ここで、トランジスタQ3とQ11とQ13とで構成されるインバータの出力がハイレベルの信号になり、トランジスタQ4とQ12とQ14とで構成されるインバータの出力がロウレベルの信号になってフリップフロップは信号を保持した状態にあるとすると、ワード線WL1にハイレベルの信号を与えトランジスタQ6とQ8とをONさせることにより、ビット線BL1にハイレベルの信号を、ビット線反転BL1にロウレベルの信号をそれぞれ伝搬させ読み出す。

【0047】次に、この基本セルを用いて論理ゲートを構成する場合を説明すると、トランジスタ(Q1~Q4, Q11~Q14)を使用して論理ゲートを構成する。この場合、図3および図4に示すようにトランジスタQ13, Q14のソース、ドレインをそれぞれトランジスタQ3, Q4のソース、ドレインと並列に接続して論理ゲートを構成すれば、従来のトランジスタ形状と比べ、ゲートの形状がL型になっている分だけMOSトランジスタのチャネル幅を増加させることができる。

【0048】これと同様にP-chMOSトランジスタのチャネル幅を増加させることができる。

8

【0049】このように、従来は異なる利得を得るために複数の拡散層を必要としたが、本発明では1拡散層で複数の利得の異なるトランジスタを構成することができ、基本セルの面積を小さくすることができる。

【0050】次に本発明の第2の実施例の半導体集積回路を図面を参照して説明する。

【0051】図5は本発明の第2の実施例の半導体集積回路のゲートアレイの基本セルを示す。

【0052】図5を参照すると、この基本セルは、L字形曲線形状のゲート電極で構成されたP-chMOSトランジスタ(Q1, Q2, Q11, Q12)を有し、1拡散層上で利得の異なるトランジスタQ1およびQ2と、トランジスタQ11およびQ12とを実現している。

【0053】論理ゲートはトランジスタ(Q1~Q4, Q11~Q14)を用いて構成され、P-chMOSトランジスタ(Q11, Q12)はN-chMOSトランジスタ(Q3, Q4, Q13, Q14)と対でフリップフロップを構成することを前提にMOSトランジスタのチャネル幅が決められている。また図5に示す基本セルの等価回路は第1の実施例の等価回路と同一となり、図2に示す。

【0054】図5に示した基本セルを用いてシングルポートRAMのメモリセルを構成した例について、結線関係を図6に示す。この基本セルの等価回路は第1の実施例に示した等価回路と同一となり、図4に示す。図6および図4のそれぞれにおいて、VDDはハイレベル電源、GNDはロウレベル電源、WL1はワード線、BL1, 反転BL1はビット線対を示す。

【0055】このシングルポートメモリのメモリセルは、メモリセルを構成するフリップフロップのP-chMOSトランジスタをトランジスタQ11およびQ12のそれぞれで構成し、N-chMOSトランジスタのトランジスタQ3とQ13とを並列に接続し、トランジスタQ4とQ14とを並列に接続して構成する。また、メモリセルのセル選択トランジスタをトランジスタQ6およびQ8で構成する。

【0056】この時トランジスタQ1およびQ2はそれらのソースとドレインを短絡しておき、トランジスタQ5およびQ7はシングルポートメモリのメモリセルを構成する場合は使用しない。トランジスタ(Q3, Q4, Q11~Q14)は情報を記憶するフリップフロップで、トランジスタQ3とQ11とQ13およびトランジスタQ4とQ12とQ14はそれぞれインバータを構成している。

【0057】P-chMOSトランジスタQ11およびQ12のそれぞれのチャネル幅は、メモリセルを構成するように決められているので動作マージンを確保しやすくなっている。また、P-chMOSトランジスタのチャネル幅を小さくしたことにより、メモリセル選択ス

タッチ用トランジスタ(Q5~Q8)のチャネル幅を小さくできるので、ビット線の寄生容量を抑えることが可能であり、高速動作が期待できるのは第1の実施例の半導体集積回路のメモリセルの場合と同様である。

【0058】次に、このシングルポートメモリのメモリセル動作原理を再び図4を参照して説明する。

【0059】最初に、図4を参照してこのシングルポートメモリのメモリセルの書き込み動作を説明すると、このメモリセルのビット線BL1にハイレベルの信号、ビット線反転BL1にロウレベルの信号が供給されているとして、ワード線WL1にハイレベルの信号を与えトランジスタQ6およびQ8をONさせるとビット線の、それぞれの信号はフリップフロップに伝搬し、トランジスタQ4とQ12とQ14で構成されるインバータにハイレベルの信号が、トランジスタQ3とQ11とQ13で構成されるインバータにロウレベルの信号がそれぞれ入力される。

【0060】そして、それぞれのインバータはその入力の反転信号を出力し、その反転信号が再びそれぞれのインバータの入力信号となるため、フリップフロップは信号を保持する。また逆に、ビット線BL1にロウレベルの信号、ビット線反転BL1にハイレベルの信号が供給された場合は、トランジスタQ4とQ12とQ14とで構成されるインバータにロウレベルの信号が、トランジスタQ3とQ11とQ13で構成されるインバータにハイレベルの信号がそれぞれ入力され、フリップフロップは信号を保持した状態になる。

【0061】さらに、このシングルポートメモリセルの読み出し動作を説明する。

【0062】今ここで、トランジスタQ3とQ11とQ13とで構成されるインバータの出力がハイレベルの信号になり、トランジスタQ4とQ12とQ14とで構成されるインバータの出力がロウレベルの信号でフリップフロップは信号を保持した状態になるとする。

【0063】ワード線WL1にハイレベルの信号を与えトランジスタQ6とQ8とをONさせることにより、ビット線BL1にハイレベルの信号を、ビット線反転BL1にロウレベルの信号をそれぞれ伝搬させ読み出すことができる。

【0064】本発明の第2の実施例の半導体集積回路の基本セルを用いて論理ゲートを構成する場合には、トランジスタ(Q1~Q4, Q11~Q14)を使用して論理ゲートを構成する。この場合、図6および図4のそれぞれに示すようにトランジスタQ13, Q14のソース、ドレインをそれぞれトランジスタQ3, Q4のソース、ドレインと並列に接続して論理ゲートを構成すれば、従来のトランジスタ形状と比べ、ゲート形状がL字形曲線形状になっている分だけMOSトランジスタのチャネル幅を増加させることができる。

【0065】同様にP-chMOSトランジスタについ

てもP-chMOSトランジスタのチャネル幅を増加させることもできる。

【0066】このように、従来は異なる利得を得るために複数の拡散層を必要とした、本発明の第2の実施例では1拡散層で複数種の利得の異なるトランジスタを構成することができ、基本セルの面積を小さくすることができるのは本発明の第1の実施例と同じである。

【0067】次に、本発明の第3の実施例の半導体集積回路の基本セルの平面図を示す図7を参照すると、本発明の第3の実施例の半導体集積回路の基本セルは、3方向の多方向にのびるゲート電極形状で構成されたP-chMOSトランジスタ(Q1, Q2, Q15, Q16, Q19, Q20)を有し、1拡散層上で利得の異なるトランジスタQ1およびQ2、トランジスタQ15およびQ16ならびにトランジスタQ19およびQ20を実現している。さらに、この基本セルは、N-chMOSトランジスタ(Q3~Q8, Q17, Q18, Q21, Q22)を有し、そのうちのトランジスタ(Q3, Q4, Q17, Q18, Q21, Q22)は3方向の多方向にのびるゲート電極形状で構成され、1拡散層上で利得の異なるトランジスタQ3, Q4と、トランジスタQ17, Q18と、トランジスタQ21, Q22とを実現している。

【0068】この基本セルを用いてシングルポートRAMのメモリセルを構成した例の結線関係を図9に、その等価回路を図10にそれぞれ示す。図9、図10において、VDDはハイレベル電源、GNDはロウレベル電源、WL1はワード線、BL1, 反転BL1はビット線対を示すのは第1および第2の実施例と同様である。

【0069】このシングルポートRAMのメモリセルは、メモリセルを構成するフリップフロップのP-chMOSトランジスタをトランジスタQ15とQ19, Q16とQ20の組み合わせでそれぞれ並列に接続して構成する。この時、トランジスタQ1およびQ2はそれらのソースとドレインを短絡して使用しない。

【0070】また、メモリセルを構成するフリップフロップのN-chMOSトランジスタはQ3とQ17, Q4とQ18の組み合わせでそれぞれ並列に接続して構成される。この時トランジスタQ21, Q22はソースとドレインを短絡して使用しない。

【0071】さらに、メモリセルのセル選択トランジスタはトランジスタQ6, Q8で構成。すなわち、トランジスタ(Q1~Q4, Q15~Q22)は情報を記憶するフリップフロップで、トランジスタQ1とQ3とQ15とQ17とQ19とQ21および、トランジスタQ2とQ4とQ16とQ18とQ20とQ22はそれぞれインバータを構成している。

【0072】P-chMOSトランジスタQ15とQ19およびQ16とQ20のそれぞれのチャネル幅はメモリセルを構成するように選択されているので動作マージ

ンを確保しやすくなっている。また、P-chMOSトランジスタのチャネル幅を小さくしたことにより、メモリセル選択スイッチ用トランジスタ(Q5~Q8)のチャネル幅を小さくできるので、ビット線の寄生容量を抑えることが可能であり、高速動作が期待できる。

【0073】次に、このシングルポートメモリのメモリセルの動作原理を図10を参照して説明する。

【0074】まずこのシングルポートメモリセルのメモリセルの書き込み動作を説明する。

【0075】図10を参照すると、メモリセルのビット線BL1にハイレベルの信号が供給され、ビット線反転BL1にロウレベルの信号が供給された状態でワード線WL1にハイレベルの信号を与えトランジスタQ6とQ8とをONさせ、それぞれの信号をフリップフロップに伝搬させる。すると、トランジスタQ2、Q4、Q16、Q18、Q20およびQ22のそれぞれで構成されるインバータにハイレベルの信号が入力され、トランジスタQ1、Q3、Q15、Q17、Q19およびQ21のそれぞれで構成されるインバータにロウレベルの信号が入力される。

【0076】そしてそれぞれのインバータは入力の反転信号を出力し、その反転信号が再びそれぞれのインバータの入力信号となるため、フリップフロップは信号を保持した状態になる。

【0077】また逆に、ビット線BL1にロウレベルの信号が、ビット線反転BL1にハイレベルの信号が与えられた場合は、トランジスタQ2、Q4、Q16、Q18、Q20およびQ22のそれぞれで構成されるインバータにロウレベルの信号が入力され、トランジスタQ1、Q3、Q15、Q17、Q19およびQ21のそれぞれで構成されるインバータにハイレベルの信号が入力され、フリップフロップは信号を保持した状態になる。

【0078】次に、このシングルポートメモリのメモリセルの読み出し動作を説明する。

【0079】今ここで、トランジスタQ1とQ3とQ15とQ17とQ19とQ21で構成されるインバータの出力がハイレベルの信号になり、トランジスタQ2とQ4とQ16とQ18とQ20とQ22で構成されるインバータの出力がロウレベルの信号でフリップフロップは信号を保持した状態にあると仮定する。

【0080】ワード線WL1にハイレベルの信号を与えトランジスタQ6とQ8をONさせることにより、ビット線BL1にハイレベルの信号を、ビット線反転BL1にロウレベルの信号をそれぞれ伝搬させ読み出すことができる。

【0081】本発明の第3の実施例の半導体集積回路の基本セルを用いて論理ゲートを構成する場合には、トランジスタ(Q1~Q4、Q15~Q18)を使用して論理ゲートを構成する。この場合、図9および図10のそれぞれに示すN-chMOSトランジスタQ3とQ17

およびQ4とQ18のように並列に接続して論理ゲートを構成すれば、従来例の基本セルと同じMOSトランジスタのチャネル幅を確保できる。P-chMOSトランジスタについてもこれと同様である。

【0082】論理ゲートを構成する場合、トランジスタQ1、Q3、Q15、Q17、Q19、Q21等のようにゲートが導通しているので、ゲート電極どうしを結線する必要が無く配線格子を節約することができる。

【0083】このように、従来は異なる利得を得るために複数の拡散層を必要としたが、本発明では1拡散層で複数種の利得の異なるトランジスタを構成することができ、基本セルの面積を小さくすることができる。

【0084】また、図7に示すT型のゲート形状にかぎらず、例えばトランジスタQ19のようなゲート電極を多数構成してもかまわない。

【0085】次に、本発明の第4の実施例の半導体集積回路の基本セル図11に示す。

【0086】この実施例は図1に示した第1実施例の基本セルを用いて、インバータを2段直列に接続し構成した遅延ゲートである。図11に示す基本セルの等価回路を図12に示す。

【0087】この遅延ゲートは、遅延ゲートの入力端子H03と、遅延ゲートの出力端子N02を有し、P-chMOSトランジスタ(Q11、Q12)およびN-chMOSトランジスタ(Q13、Q14)は、利得の小さいトランジスタ(Q11~Q14)を使用してインバータを構成する。トランジスタ(Q1~Q8)は使用しない。P-chMOSトランジスタ(Q11、Q12)およびN-chMOSトランジスタ(Q13、Q14)のそれぞれは、通常の論理を構成する場合のチャネル幅より小さい、すなわち利得が小さくなり遅延時間が大きくなる。また、遅延ゲートのP-chMOSトランジスタをトランジスタ(Q1、Q2)で構成すれば、ゲートの出力の立ち上がり遅延時間だけを小さくすることもできる。

【0088】次に、本発明の第5の実施例の半導体集積回路の基本セルを図13に示す。

【0089】この実施例は図7に示した第3実施例の基本セルを用いて、4入力NANDを構成した場合の例である。図13に示す基本セルの等価回路を図14に示す。

【0090】この4入力NANDはNANDの入力端子H04~H07と、NANDの出力端子N03を有し、並列に接続されたP-chMOSトランジスタは利得の小さなトランジスタで構成し、並列に接続されたP-chMOSトランジスタは利得の小さなトランジスタで構成し、直列に接続されたN-chMOSトランジスタは利得が大きくなるように、個々のトランジスタをさらに並列に接続し構成する。このように、通常の論理を構成する場合でも、P-chMOSトランジスタとN-ch

MOSトランジスタの利得の比率を変えることにより、ゲートの出力の立ち上がり遅延時間と立ち下がり遅延時間をほぼ同等にすることができる。

【0091】

【発明の効果】以上説明したように、本発明の半導体集積回路は、同一拡散層上に利得の異なる複数種のトランジスタが構成できるため、基本セル面積が縮小できLSIの集積度の向上に大きく寄与できる。

【0092】本発明の基本セルと、第2の従来技術に示される基本セルとを同一プロセス設計基準で比較した場合、約12%セル面積を縮小できる。これはゲートアレイの500KG（キロゲート）のチップを例にとって計算すると、12%は60KGに匹敵する。つまり本発明の基本セルを使用した場合、同一サイズのチップでも568KGトランジスタを搭載でき、その分集積度を上げることができる。

【0093】また、同一拡散層上に利得の異なる複数種のトランジスタを有しているので、論理ゲートを構成する場合に最適なP-chMOSトランジスタとN-chMOSトランジスタの利得の比率、及びメモリセルを構成する場合の最適なP-chMOSトランジスタとN-chMOSトランジスタの利得の比率を容易に得ることもできる。

【0094】そして、動作マージンの確保が容易になるので、メモリセル選択スイッチ用MOSトランジスタのチャネル幅を小さくできる等の利点がある。

【0095】また、本発明の半導体集積回路は、ゲートアレイのメモリセルの高速性能と動作マージンを論理ゲートの速度性能を損なうことなく少ない面積で確保できる。

【0096】さらに、従来は遅延ゲートを構成するために十数段直列に接続したインバータ列等を必要としたが、本発明の図1に示す利得の小さなトランジスタ（Q11～Q14）を使用してインバータ等を構成すれば、図11、図12に示すように、1つの基本セル内で目的に応じた遅延ゲートを容易に構成することができるので設計が容易にできる効果大きい。

【0097】また、CMOS回路では論理ゲートの出力の立ち上がり遅延時間と立ち下がり遅延時間は、同等であるのが望ましいとされている。しかし、多入力ゲートのNANDブロック等では並列に接続した多数のP-chMOSトランジスタと、直列に接続した多数のN-chMOSトランジスタの組み合わせで構成されるため、ゲートの出力の立ち上がり遅延時間に対し立ち下がり遅延時間が極端に大きくなる。

【0098】上述のような場合に本発明の基本セルを適用し、図13、図14に示すように並列に接続したP-ch側を利得の小さなMOSトランジスタで構成し、直列に接続したN-ch側を利得の大きなMOSトランジスタで構成すれば、ゲートの出力の立ち上がり遅延時間

と立ち下がり遅延時間をほぼ同等にすることができる。

【0099】本発明により、1つの基本セル内で目的に応じたMOSトランジスタの利得を、配線工程で容易に変えられるので、ゲートアレイゆへの制限が大きく緩和され、設計の自由度が飛躍的に向上する。

【0100】本発明はゲートアレイに限らず専用LSIにも十分適応することができ、その汎用性および応用範囲が大きい。

【図面の簡単な説明】

10 【図1】本発明の第1の実施例の半導体集積回路の基本セルの平面図である。

【図2】図1及び図5に示す半導体集積回路の等価回路図である。

【図3】図1に示す第1の実施例の半導体集積回路の基本セルをもちいてメモリセルを構成する場合の結線関係を示した図である。

【図4】図3及び図6に示す半導体集積回路図である。

【図5】本発明の第2の実施例の半導体集積回路の基本セルの平面図である。

20 【図6】図5に示す第2の実施例の半導体集積回路の基本セルをもちいてメモリセルを構成する場合の結線関係を示した図である。

【図7】本発明の第3の実施例の半導体集積回路の基本セルの平面図である。

【図8】図7に示す半導体集積回路の等価回路図である。

【図9】図7に示す第3の実施例の半導体集積回路の基本セルをもちいてメモリセルを構成する場合の結線関係を示した図である。

30 【図10】図9に示すメモリセルの等価回路図である。

【図11】第1の実施例の半導体集積回路の基本セルを用いて遅延ゲートを構成した場合の結線関係を示した図である。

【図12】図11に示す遅延ゲートの等価回路図である。

【図13】第3の実施例の半導体集積回路の基本セルを用いて4入力NANDを構成した場合の結線関係を示した図である。

【図14】図13に示す4入力NANDの等価回路図である。

40 【図15】第1の従来技術の半導体集積回路の基本セルの平面図である。

【図16】図15の示す第1の従来技術の半導体集積回路の等価回路図である。

【図17】図15に示す第1の従来技術の半導体集積回路の基本セルを用いて2入力NANDを構成した場合の結線関係を示した図である。

【図18】図17に示す2入力NANDの等価回路図である。

50 【図19】図15に示す第1の従来技術の半導体集積回路の基本セルを用いてメモリセルを構成した場合の結線

関係を示した図である。

【図20】図19に示すメモリセルの等価回路図である。

【図21】第2の従来技術の半導体集積回路の基本セルの平面図である。

【図22】図21に示す第2の従来技術の半導体集積回路の等価回路図である。

【図23】図21に示す第2の従来技術の半導体集積回路の基本セルを用いてメモリセルを構成した場合の結線関係を示した図である。

【図24】図23に示すメモリセルの等価回路図である。

【符号の説明】

Q1, Q2, Q9~Q12, Q15, Q16, Q19, Q20 P-chMOSトランジスタ

Q3~Q8, Q13, Q14, Q17, Q18, Q21, Q22 N-chMOSトランジスタ

VDD 電源 (ハイレベル)

GND 電源 (ロウレベル)

BL1, 反転BL1 ビット線

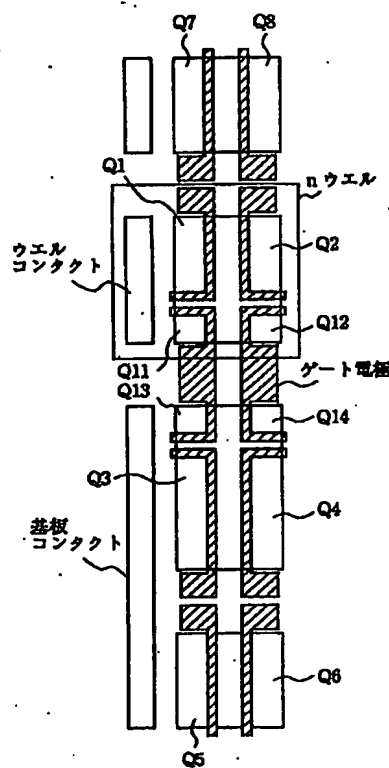
WL1 ワード線

10 H01, H02, H03, H04, H06, H07

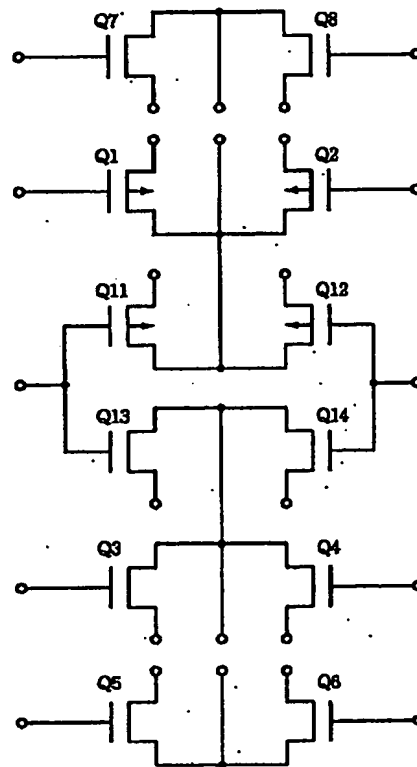
ゲートの入力端子

N01, N02, N03 ゲートの出力端子

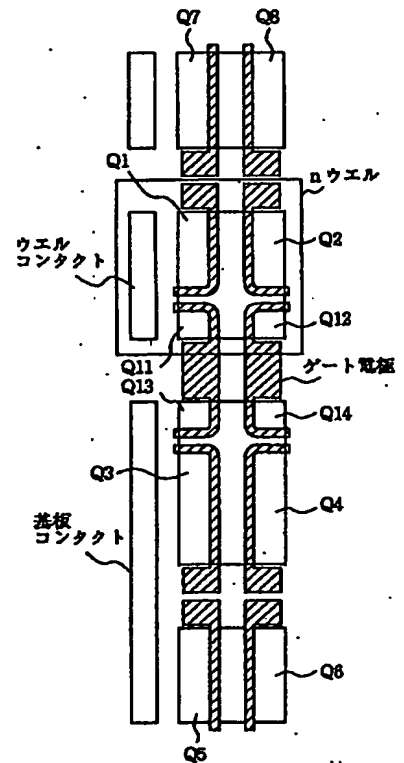
【図1】



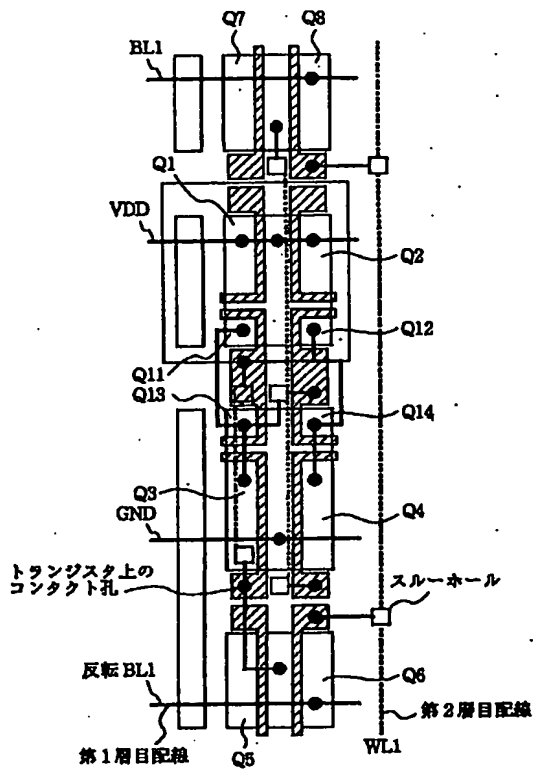
【図2】



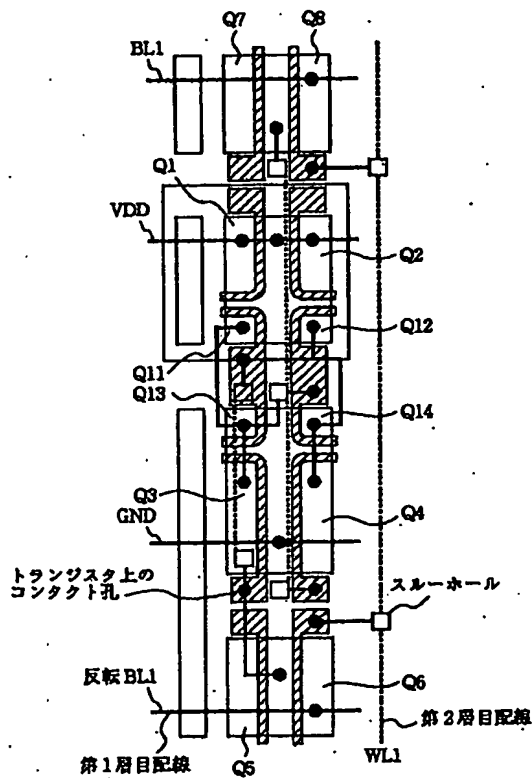
【図5】



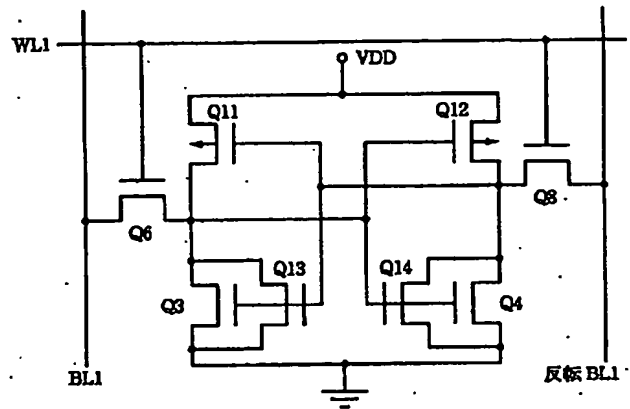
【図3】



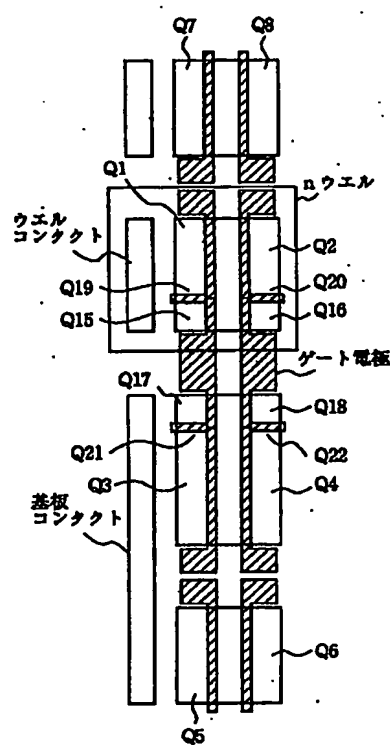
【図6】



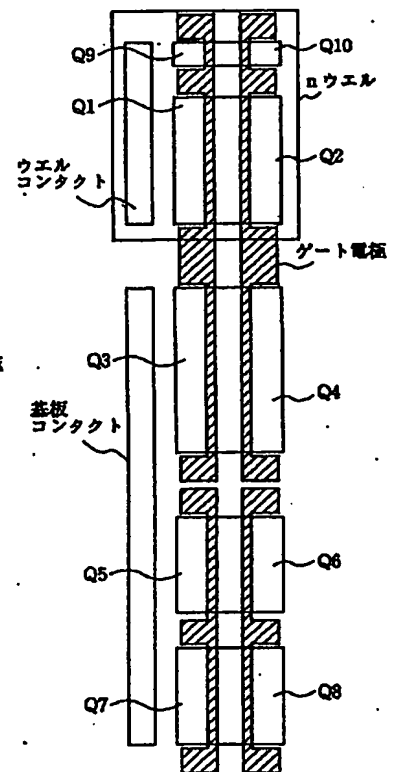
【図4】



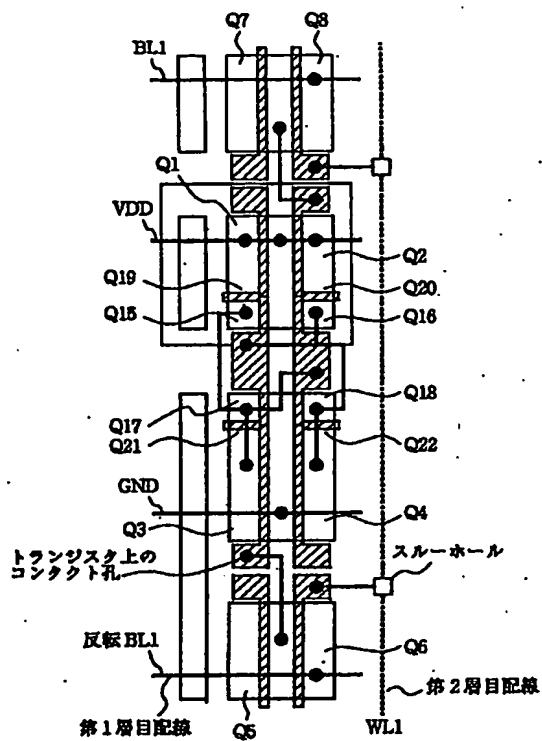
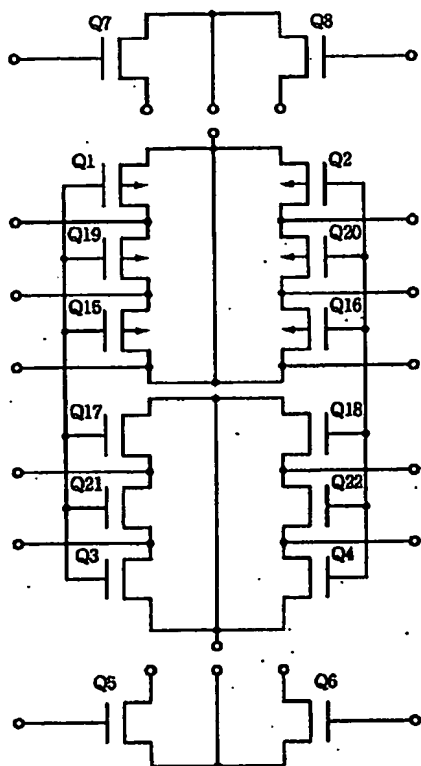
【図7】



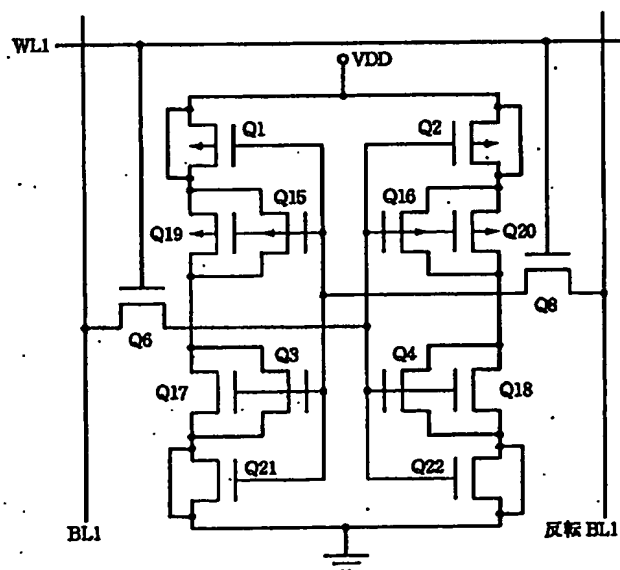
【図21】



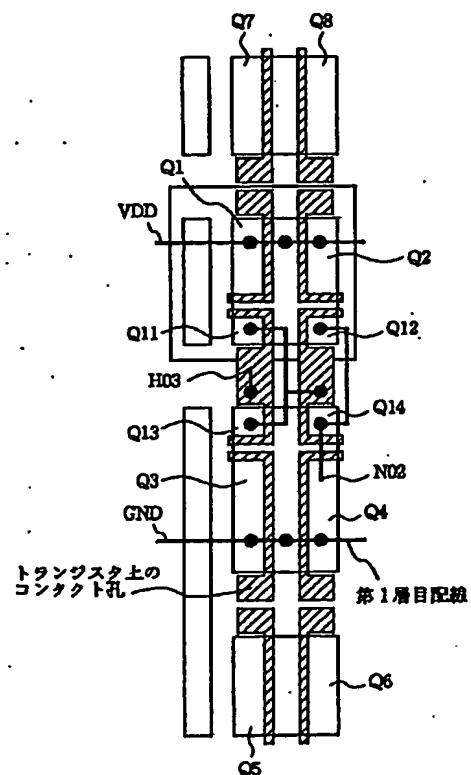
【図 9】



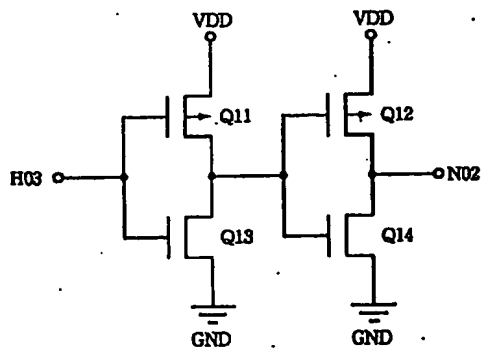
【図 10】



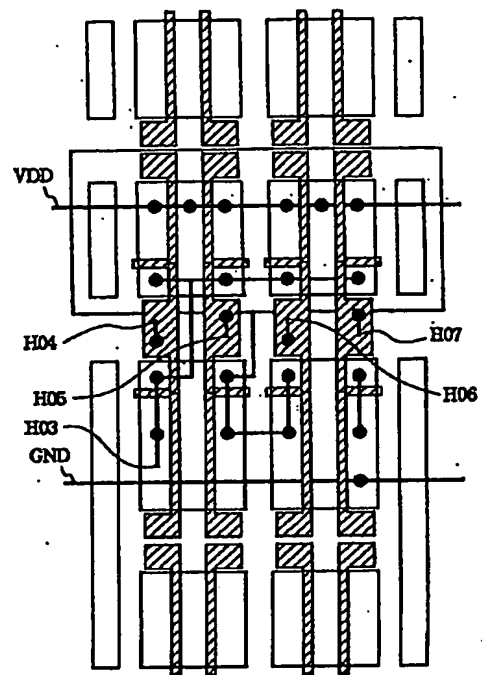
【图 1 1】



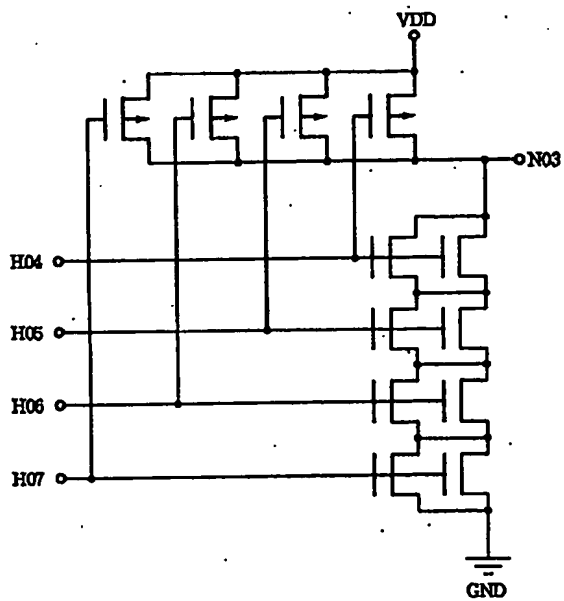
【図 1 2】



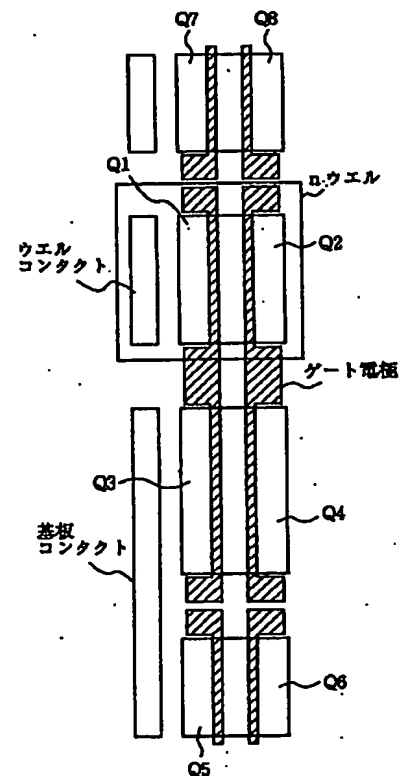
【図 1 3】



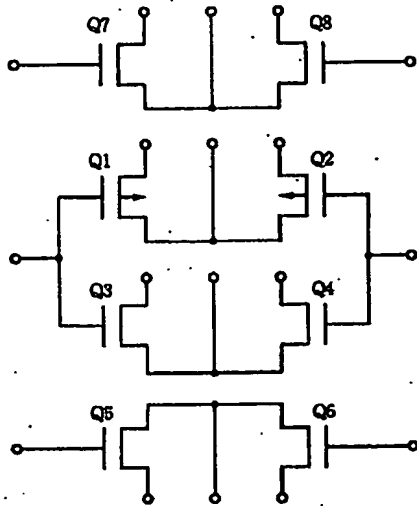
【図 1 4】



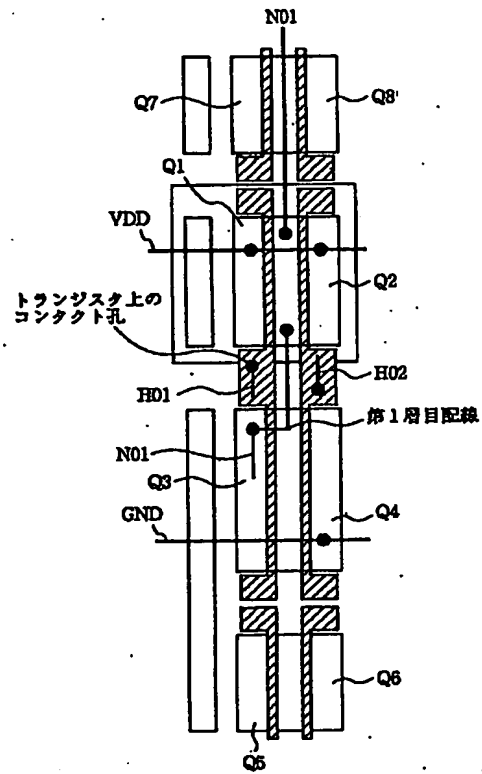
【図 1 5】



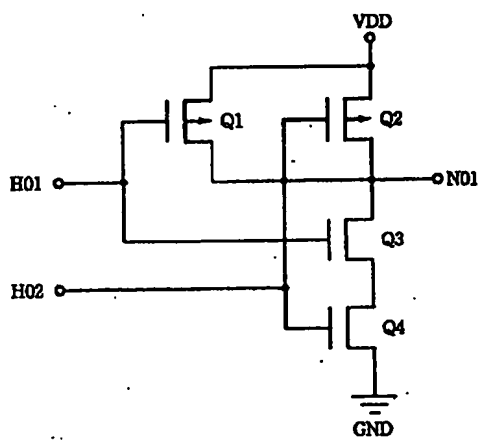
【図 16】



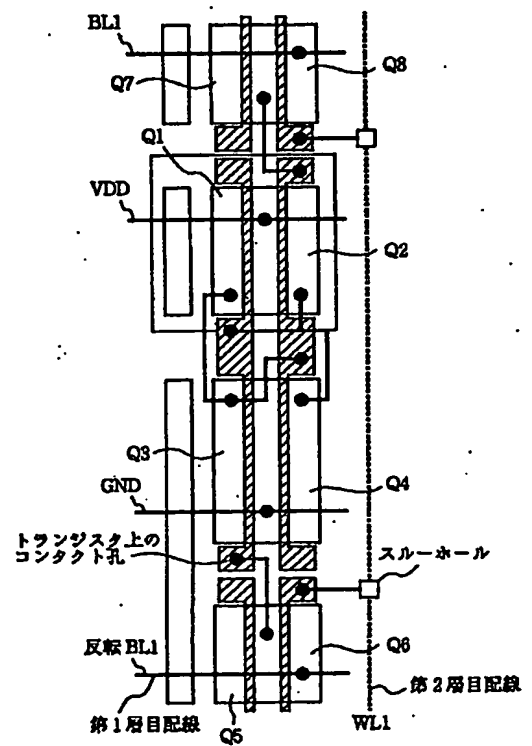
【図 17】



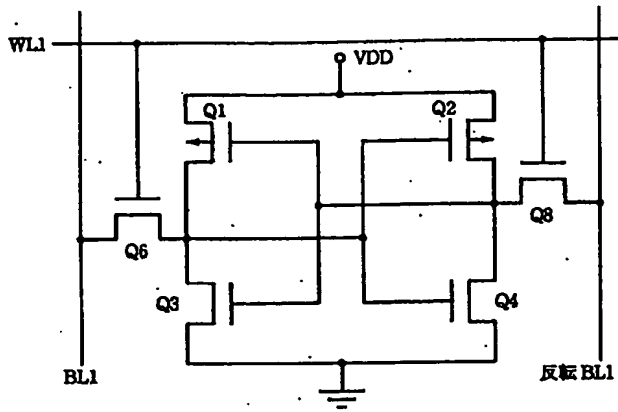
【図 18】



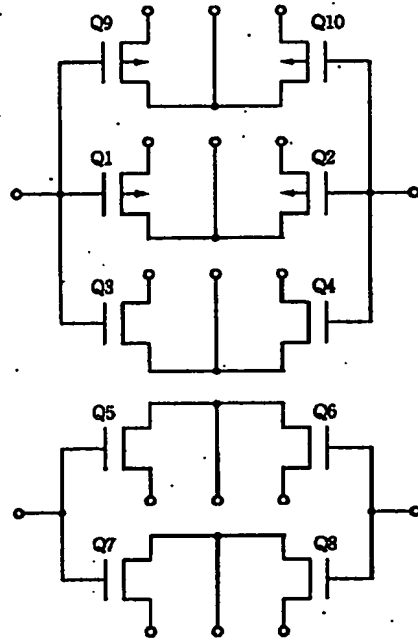
【図 19】



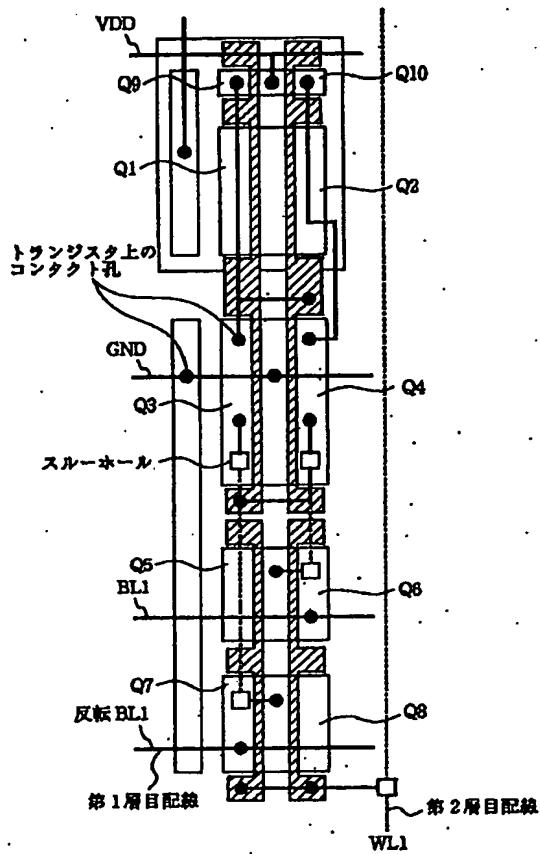
【図 20】



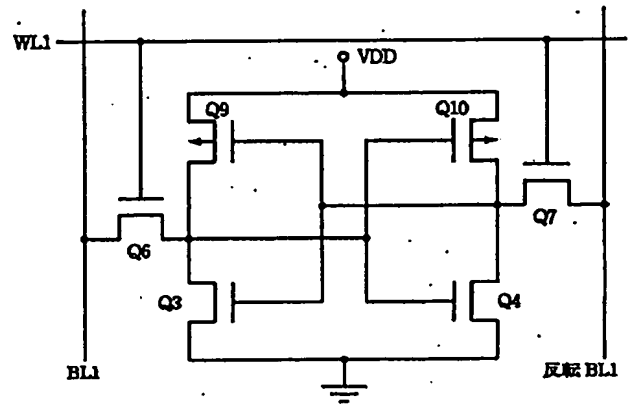
【図 22】



【図 23】



【図 24】



フロントページの続き

(51) Int. Cl. ⁶

H 0 3 K 19/0948

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 27/08

H 0 3 K 19/094

3 2 1 E

B